

基于 FPGA 的感应同步器的数据采集和处理的研究

王先全, 吴敏, 冯济琴, 朱革
(重庆理工大学, 重庆 400050)

摘要: 为了提高感应同步器信号处理系统的可靠性和节省 FPGA 资源, 采用单芯片 SOC 系统设计, 把正弦/余弦信号电源、A/D 控制电路、数据处理集成在一块 FPGA 内, 并通过点对称和轴对称技术优化正弦/余弦信号电路。研究了一种新型的采样电路和信号处理方法, 在激励信号 0 相位时开始采集感应信号, 利用 FFT 计算出感应信号的初相位, 即可检测感应同步器的位置。实验证明, 设计的电路和信号处理方法正确, 只需 0~90° 的正弦表, 分别生成了 0~360° 的正弦信号和余弦信号, 节省了 FPGA 的资源, 只需采集一路感应信号即可实现同步采集激励信号和感应信号的效果。

关键词: 感应同步器; 数据采集; FPGA; 傅里叶变换; NDS

中图分类号: TH711 **文献标识码:** A **文章编号:** 1002-1841(2010)05-0041-03

Data Acquisition and Processing for Inductosyn Based on FPGA

WANG Xian-quan, WU Min, FENG Ji-qin, ZHU Ge
(Chongqing University of Technology, Chongqing 400050, China)

Abstract: To improve the reliability of inductosyn signal processing system and reduce FPGA resources, a novel design scheme was proposed. The sine/cosine signal generating circuit for electrical source, A/D control circuit and data processing circuit were integrated into a FPGA, which was based on single-chip SOC technology. And the method of the point symmetry and axial symmetry was used to optimize the sine/cosine signal generating circuit. Then a new sampling circuit and signal processing method were studied. Induced signal is sampled when the phase of the exciting signal is 0°, and the initial phase of induced signal can be calculated with FFT and then the position of Inductosyn can be obtained. Experiment results conform that the designed circuits and signal processing methods are correct, 0° to 360° sine signal and cosine signal are generated that only need the sine table of 0° to 90°, and synchronous sampling the exciting signal and induced signal are achieved that only need to get the induced signal.

Key word: inductosyn; data acquisition; FPGA; fourier transformation; NDS

0 引言

在感应同步器正弦绕组 S、余弦绕组 C 上施加幅值和频率相同, 相位差 90° 的交流激励电压, 即: $u_s = U_m \sin \omega t$ 和 $u_c = U_m \cos \omega t$, 感应同步器连续绕组上的感应信号为^[1]

$$e = 2k_0 U_m \sin(\omega t + \alpha) \quad (1)$$

感应信号与都是相同频率的正弦信号, 其相位差为 α , 就是感应同步器转子和定子的相对角度。通过检测这个相位差, 实现检测感应同步器转子相对定子的角度。

两路信号的相位差的计算方法有很多种, 有模拟方法和数字方法; 数字方法有锁相环鉴相、过零比较的脉冲填充鉴相、相关分析鉴相、傅里叶变换鉴相等^[2-5]。在这些方法中, 由于过零比较的脉冲填充鉴相简单, 一般都采用过零比较的脉冲填充鉴相。但是过零比较的脉冲填充鉴相只是使用了信号过零点的信息, 如果在零点附近有很小的干扰, 都会影响检测精度。

傅里叶变换鉴相就不一样, 它把整个周期的信息都使用, 鉴相精度高, 同时还可以消除高次谐波干扰信号。

下面详细论述傅里叶变换鉴相的原理和信号处理系统的组成, 研究感应同步器正交信号源的产生和信号处理方法, 该

方法有 2 个要点: 一是只需要 0~90° 正弦表信息, 通过轴对称和点对称, 实现 0~360° 的正弦信号和余弦信号; 二是只采集一路感应信号实现同步采集激励信号和感应信号的效果。同时, 用 FPGA 设计单芯片 SOC 系统, 把信号源、数据采集、数据处理集成一体。

1 傅里叶变换的鉴相原理

由傅里叶变换理论可知, 对周期信号 $x(t)$ 可以表示为^[6]

$$\begin{aligned} x(t) &= \sum_{n=0}^{\infty} b_n \sin n\omega t + \sum_{n=0}^{\infty} a_n \cos n\omega t \\ &= x_0 + \sum_{n=1}^{\infty} x_n \cos(n\omega t + \alpha_n) \end{aligned} \quad (2)$$

式中: $x_0 = \frac{a_0}{2}$; $a_n = x_n \cos \alpha_n$; $b_n = x_n \sin \alpha_n$; $x_n = \sqrt{a_n^2 + b_n^2}$; $\alpha_n = \arctan(-b_n/a_n)$ 。

对正弦信号而言, 它的傅里叶变换只有基波。对两路正弦(余弦)信号分别作傅里叶变换, 把它们基波的初相位相减, 就是这两路信号的相位差。

如果信号有噪声, 经过傅里叶变换, 噪声反映在高频成分上, 对基波没有影响, 这也就是采用傅里叶变换比较两路信号的相位差, 可以消除高频信号的原因。

2 系统组成

系统组成如图 1 所示, 虚线部分由 FPGA 实现。系统由感应同步器、正、余弦信号电源、数据采集、NDS 处理器的数据处

基金项目: 国家自然科学基金项目 (50975304); 重庆市自然科学基金项目 (2008BB2336); 重庆市教委项目 (KJ090609)

收稿日期: 2009-09-28 收修改稿日期: 2009-12-02

理、显示等部分组成。

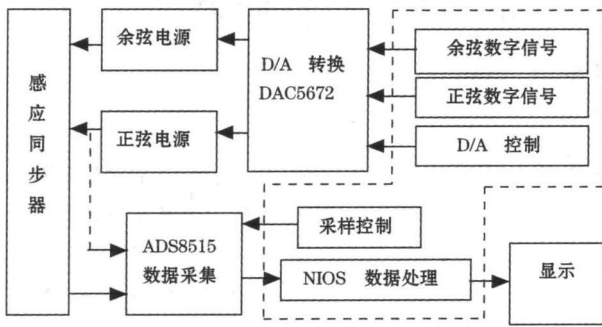


图 1 系统组成原理图

FPGA产生数字正弦、余弦信号,经D/A转换和功放,形成正弦、余弦电源,驱动感应同步器。感应同步器在正弦、余弦电源的激励下,输出与激励信号同频率的正弦信号,相位与激励信号相差 $\pi/2$;采用ADS8515对信号进行A/D采样;将采样数据送入NDS处理器进行数据处理,计算相位差。

一般地,通过同步采集正弦激励信号和感应信号,鉴别相位差,来获取感应同步器的连续绕组相对正弦绕组的角度。这里,结合感应同步器的正、余弦信号的产生,只需采集1路感应信号,达到同步采集激励信号和感应信号的效果,下面将详细讨论这方面的内容。

3 正、余弦信号电源

正、余弦信号电源要求两路信号正交且等幅度。可以按图2设计。但是,图2的设计方法需要两张正、余弦表。如果正、余弦表中的数据点少,则产生的正、余弦信号包含有大量的谐波成份。如果正、余弦表中的数据点多,产生的正、余弦信号含有的谐波成份少,但要耗费大量的FPGA空间,这是很不利的。

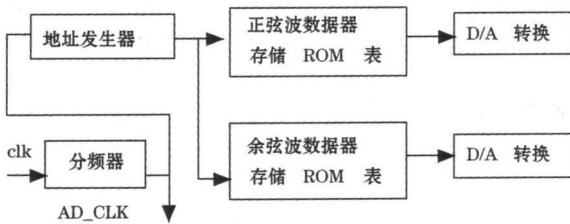


图 2 正、余弦信号产生器示意图

正、余弦信号是一致的,只是相位相差 90° ;同时正弦信号可以 $0\sim 90^\circ$ 的信号通过对称和轴对称获得。这样可以只需 $0\sim 90^\circ$ 的一张正弦表,然后通过点对称和轴对称获得正弦信号和余弦信号,这样节省了存储空间。通过优化的正、余弦信号的设计图如图3所示。

这个系统由正/余弦地址发生器、 $0\sim 90^\circ$ 正弦数据表、正/余弦输出模块、锁存模块、D/A控制信号发生器等几部分组成,其中:正/余弦地址发生器、正/余弦输出模块是关键,下面详细讨论。

(1)正/余弦地址发生器:产生正/余弦地址 addr,产生正/余弦选择信号 sel,和计数值 Counter。这个计数值作为正/余弦

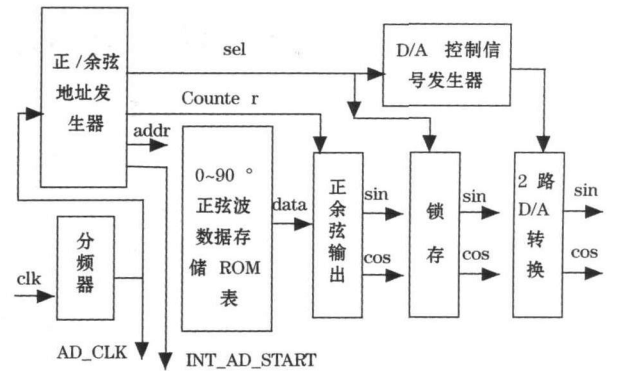


图 3 优化的正、余弦信号产生器示意图

输出模块的象限判断使用。下面是该模块的VHDL主要代码。

```

process (clk)
begin
if clk'event and clk = 1 then
Sel <= not Sel;
if Sel = 0 then
Counter <= Counter + 1;
end if;
if Sel = 0 then -- 产生 sin地址
if Counter < 128 then -- 0 ~ 90度
addr <= Counter(7 downto 0) + 1;
elsif Counter < 256 then -- 90 ~ 180度
addr <= 255 - Counter(7 downto 0);
elsif Counter < 384 then -- 180 ~ 270度
addr <= Counter(7 downto 0) + 1;
else -- 270 ~ 360度
addr <= 255 - Counter(7 downto 0);
end if;
else -- 产生 cos地址
if Counter < 128 then -- 0 ~ 90度
addr <= 128 - Counter(7 downto 0);
elsif Counter < 256 then -- 90 ~ 180度
addr <= Counter(7 downto 0) - 128;
elsif Counter < 384 then -- 180 ~ 270度
addr <= 128 - Counter(7 downto 0);
else -- 270 ~ 360度
addr <= Counter(7 downto 0) - 128;
end if;
end if;
end process;

```

(2)正/余弦输出模块:它根据正/余弦选择信号 sel和计数值 Counter,把 $0\sim 90^\circ$ 的正弦表输出数据扩展成 $0\sim 360^\circ$ 的正弦数据和余弦数据。

```

process (clk)
variable varCounter: std_logic_vector(8 downto 0);

```

```

begin
if clk`event and clk = 1' then
varCounter := Counter - 2;
if Sel = 1' then -- 输出正弦数据
if varCounter < 128 then -- 0 ~ 90 °
Sin < = 8100 + data;
elsif varCounter < 256 then -- - 90 ~ 180 °
Sin < = 8100 + data;
elsif varCounter < 384 then -- 180 ~ 270 °
Sin < = 8100 - data;
else -- four
Sin < = 8100 - data; -- 270 ~ 360 °
end if;

else -- - - - - - 输出余弦数据
if varCounter < 128 then -- - - - 0 ~ 90 °
Cos < = data + 8100;
elsif varCounter < 256 then -- - 90 ~ 180 °
Cos < = 8100 - data;
elsif varCounter < 384 then -- - 180 ~ 270 °
Cos < = 8100 - data;
else -- - 270 ~ 360 °
Cos < = 8100 + data;
end if;
end if;
end if;
end process;
    
```

(3)锁存模块:由于正/余弦输出模块输出的正弦和余弦数据不是同时输出,会到测量带来误差。这里设计的锁存模块是保证输出的正余弦数据在控制信号 sel 下同步输出。

(4)D/A 控制信号发生器: DAC5762 有两路独立的 D/A 转换,每路都有:数据总线时钟、和写控制信号(即:DA、clkA、writeA;DB、clkB、writeB)。这里就是设计这几个信号,实现 D/A 接口。

(5)另外, NT_AD_START 作为后面的 A/D 同步采样的中断信号,当正弦信号的初相为 0 时发出一高电平,其余时刻为低电平。

分频器后输出的 AD_CLK,作为后面的 A/D 采样频率。

4 NDS 的数据采集与处理

4.1 等效同步采集的设计策略

一般地,对感应同步器的正弦激励信号和感应输出信号进行数据同步采集,鉴别两路信号的相位差,可以实现感应同步器的位移检测。这需要数据保持器或两路同步 A/D 采样。

实际上,激励信号是确定的正弦信号,不必采集它,也知道激励信号的数据,并且,用 A/D 转换采集它,还会增加采集噪声。如果只采集感应同步器的感应信号,又不能直接比较信号的相位差。

如果采集感应信号的起始时机是在激励信号的 0 相位,采集一个整周期的数据,对这些数据进行傅里叶变换,就可以分

辨出信号的初相位,这个初相位就是正弦激励信号和感应信号的相位差。

这样,在激励信号的 0 相位开始采集一个周期的信号,也就相当于同步采集激励信号和感应信号,即:等效同步采集。

4.2 NDS 的设计及数据采集接口设计

ADS8515 采样时钟 R/C 是外部提供,是 16 位 A/D 采样。当采样时钟 R/C 的下降沿来时,开始 A/D 转换,BUSY 为低,数据输出为高阻,转换最短时间是 40 ns 当转换结束时 BUSY 信号为高时,转换结束,转换数据输出在数据总线上。

NDS 处理器需要读取 A/D 数据,响应两个中断信号,即:“零相位”(NT_AD_START)中断和转换结束(BUSY)。所以,NDS 的设计接口为:两路中断、16 路数据输入、容量为 8 M 的 RAM、容量为 16 M 的 FLASH。采用 Quartus 和 NDS 软件来设计 NDS 处理器及接口。数据采集的示意图如图 4 所示。

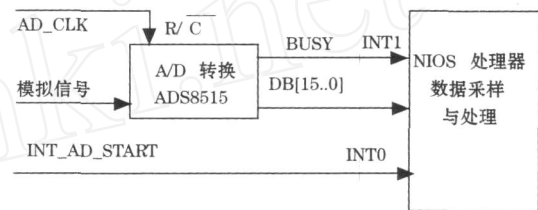


图 4 同步采集模拟信号示意图

4.3 NDS 的软件设计

感应同步器信号处理系统的信号采集与处理的工作过程是:

(1)正、余弦信号电源连续不断地输出正、余弦信号,同时连续地输出 AD_CLK 和 NT_AD_START 信号。

(2)ADS8515 在控制信号 AD_CLK 的控制下,连续进行 A/D 转换,并在转换结束时,BUSY 为高,同时,输出 A/D 数据。

(3)在“零相位”(NT_AD_START)中断信号的上升沿时,NDS 开中断 INT1,连续采样一个整周期的数据。

(4)数据采集完毕,NDS 关闭所有中断,进行 FFT 变换,输出采集信号的初相位。该相位也就是感应同步器的检测角度。

(5)NDS 计算完毕,开中断 INT0,准备“零相位”的到来,开始新一轮数据采集与处理。

以上可以看出,该系统的处理的基本思想是:A/D 转换一直进行,但只有“零相位”到来时才采集一个整周期的数据,然后进行数据处理。数据处理结束后,才开始新的数据。系统的数据采集与处理的流程图如图 5 所示。

5 结束语

文中没有采用常用的一般方法:

(1)在 FPGA 上分别用 2 张 0 ~ 360 的正、余弦表产生正交的正、余弦信号;

(2)采用同步 A/D 采集激励信号和感应信号,比较其相位差;

(3)用单独的处理器(如 ARM)进行数据处理。

文中所采用的方法是:

(下转第 50 页)

表 3 系统的静态特性参数表

灵敏度 / (V · MPa ⁻¹)	线性度 L / %	迟滞 H / %
0.600 8	0.348	0.427
重复性 R / %	不确定度 U / %	
0.645	0.848	

$$\text{注: } U = \sqrt{L^2 + H^2 + R^2}$$

4.2 动态实验及分析

动态实验时,采用向数据采集系统输入已知的标准正弦信号,通过观察系统的输出来验证其动态性能。实验时用 YB1602型函数信号发生器产生的正弦信号作为输入信号,将该信号直接接到 A/D转换器的输入。ADS8364的模拟输入范围是 -2.5 ~ +2.5 V,所以选择信号的峰峰值为 4 V,频率为 1 kHz,设定数据采集的采样率为 50 kHz,采样长度为 150,选择手动触发。测得数据的时域波形如图 3 所示。可见,测得信号基本上和输入信号一致。数据曲线显示呈离散状态的原因是 JavaScript绘图程序中没有将离散的点连接成连续曲线。总的来看,测得数据较好地还原了输入信号。

5 结束语

通过静、动态实验对整个系统软硬件进行了测试,证明系统达到了预期目标。系统可测应变信号的范围为 DC ~ 25 kHz,同时最多能对 6路应变信号进行采集,并提高了整个测试系统的稳定性,以及采集数据的准确性。基于 B/S模式,建立 Web服务器提供 HTTP服务,用户通过网页浏览器即可访问仪器,完

成参数设置、数据采集以及数据下载等工作,不需要借助特定的客户端软件而实现远程监控功能。

参考文献:

- [1] 王亚平. 测量技术与仪器的发展趋势. 科技资讯, 2006(30): 51
- [2] Samsung Electronics S3C2410X USER'S MANUAL. www.samsung-semi.com, 2003.
- [3] 杨丽春, 孙小东. Linux应用特点及发展趋势. 石油规划设计, 2006, 17(2): 42 - 44.
- [4] 李凤保, 古天祥. 网络化测试仪器的研究. 自动化仪表, 2003, 24(7): 1 - 3.
- [5] NARA YANAN V. XIE Y. Reliability concerns in embedded system designs. Computer, 2006, 1(39): 118 - 120
- [6] 赵军领, 蒋崇中. Web技术在嵌入式远程在线监测系统中的应用. 机床与液压, 2006(5): 184 - 186
- [7] 曹玲芝, 石军, 栾娟. Boa源码分析及其在嵌入式系统中的应用. 计算机与数字工程, 2005, 33(6): 10 - 11, 22
- [8] 刘伟, 李小武, 罗明. CGI技术全面接触. 北京: 清华大学出版社, 2001.
- [9] ROBINSON D, COAR K. The common gateway interface (CGI) version 1.1. www.rfc-editor.org, 2004.
- [10] 柯宗武, 陈年生, 汪白云. Java在基于 WEB的嵌入式系统中的应用. 微计算机信息, 2005, 23(8): 10 - 12

作者简介: 李定珍 (1972—), 副教授, 研究方向为智能仪器测试及自动控制. E-mail: lidingzhen_student@

(上接第 43 页)

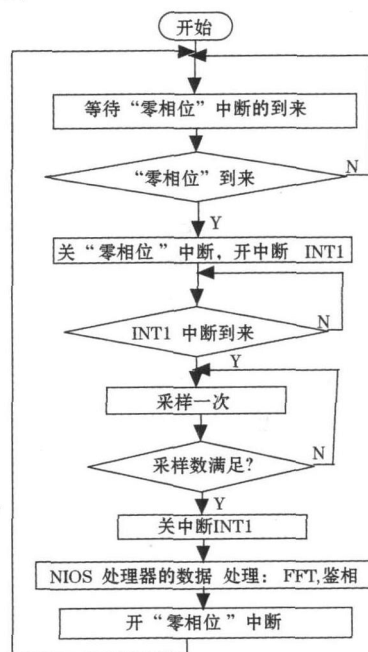


图 5 数据采集与处理流程图

(1)在 FPGA上用 1张 0 ~ 90 的正弦表,通过对称和轴对称,分别产生正交的正、余弦信号。这样节约了 FPGA的资源,同时可以存储更多的点,提高了信号的质量。

(2)采用“零相位”时刻开始采样一路的数据,实现同步 A/D采集激磁信号和感应信号的效果。同时,没有采集激磁信号,减小了采样误差。

(3)在 FPGA上设计 NDS处理,实现数据处理。

(4)把信号源、数据采集、数据处理集中到 FPGA中,提高了系统的可靠性。

该系统在实验系统中得以应用,实验表明,采用在激磁信号 0 相位时,开始采集感应信号数据。该方法与同步采集激磁信号和感应信号的效果是一致的。

参考文献:

- [1] 何佳宁, 刘强. 高精度圆感应同步器角度测量系统. 电子测试, 2008(10): 1 - 4.
- [2] 李晓霞, 王毅. 动态测角系统中锁相环路的分析与应用. 自动化技术与应用, 2000, 19(4): 15 - 17.
- [3] 冯显英. 基于微机时钟脉冲的新型硬件细分原理研究. 工具技术, 2003, 37(6): 42 - 45.
- [4] 何佳宁, 刘强. 高精度圆感应同步器角度测量系统. 电子测试, 2008(10): 1 - 4.
- [5] 何俊, 李文华. 基于 FPGA和 AD2S80A的数字测角系统. 仪表技术与传感器, 2008(7): 68 - 112.
- [6] 牟龙华; 邢锦磊. 基于傅里叶变换的精确频率测量算法. 电力系统自动化, 2008, 32(23): 67 - 70.

作者简介: 王先全 (1968—), 副教授, 硕士, 主要从事信号检测与处理, 计算机软件等研究. E-mail: wangxq@cqut.edu.cn